

## ⑫ 公開特許公報(A)

昭62-40816

⑪ Int. Cl.

H 03 K 3/037

識別記号

庁内整理番号

8425-5J

⑬ 公開 昭和62年(1987)2月21日

審査請求 有 発明の数 2 (全13頁)

⑭ 発明の名称 ラッチ回路およびこのラッチ回路を用いたフリップフロップ回路

⑮ 特 願 昭60-180215

⑯ 出 願 昭60(1985)8月16日

⑰ 発 明 者 坂 上 健 二 川崎市川崎区東田町2番地11号 東芝マイコンエンジニアリング株式会社内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイコンエンジニアリング株式会社 川崎市川崎区東田町2番地11号

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

ラッチ回路およびこのラッチ回路を用いた  
フリップフロップ回路

## 2. 特許請求の範囲

(1) 第1のクロックドゲートと、この第1クロックドゲートの入力端に出力端が接続されるとともに出力端に輸入端が接続され、上記第1クロックドゲートと同じクロック信号によって制御される第2のクロックドゲートと、制御信号によって制御され上記第1、第2のクロックドゲートの入力端にそれぞれ逆相のデータを供給する第1、第2のデータ転送ゲートとを具備し、上記第2、第1のクロックドゲートの出力端からラッチ出力を得ることを特徴とするラッチ回路。

(2) 前記第1、第2のクロックドゲートはそれぞれ、クロックディンバータから成ることを特徴とする特許請求の範囲第1項記載のラッチ回路。

(3) 前記第1、第2のデータ転送ゲートはそれぞれ、クロックディンバータから成ることを特徴とする特許請求の範囲第1項記載のラッチ回路。

(4) 第1のクロック信号で制御される第1のクロックドゲートと、この第1クロックドゲートの入力端に出力端が接続されるとともに出力端に輸入端が接続され、上記第1のクロック信号によって制御される第2のクロックドゲートと、第1の制御信号によって制御され上記第1、第2のクロックドゲートの入力端にそれぞれ逆相のデータを供給する第1、第2のデータ転送ゲートと、第2のクロック信号で制御される第3のクロックドゲートと、この第3クロックドゲートの入力端に出力端が接続されるとともに出力端に輸入端が接続され、上記第2のクロック信号によって制御される第4のクロックドゲートと、第2の制御信号によって制御され、上記第2、第1のクロックドゲートの出力端から出力されるラッチ信号を上記第3、第4クロッ

クドゲートの入力端にそれぞれ供給する第3、第4のデータ転送ゲートとを具備し、上記第4、第3のクロックドゲートの出力端から出力を得ることを特徴とするフリップフロップ回路。

(5) 前記第1ないし第4のクロックドゲートはそれぞれ、クロックドインバータから成ることを特徴とする特許請求の範囲第4項記載のフリップフロップ回路。

(6) 前記第1ないし第4のデータ転送ゲートはそれぞれ、クロックドインバータから成ることを特徴とする特許請求の範囲第4項記載のフリップフロップ回路。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

この発明は、論理回路に係わるもので、特にラッチ回路およびこのラッチ回路を用いたフリップフロップ回路に関する。

#### 〔発明の技術的背景とその問題点〕

従来、ラッチ回路 (Transparent Latch) は、例えば第21図(a)に示すように構成されている。

- 3 -

13<sub>1</sub>、13<sub>2</sub>を除去したものである。上記第22図および第23図に示したフリップフロップ回路は、第24図に示すようなブロック図で表わされる。このようなD型フリップフロップ回路を、第25図に示すように複数段縦続接続するとシフトレジスタが構成できる。第25図において、各D型フリップフロップ16<sub>1</sub>、16<sub>2</sub>、…、16<sub>n</sub>は、クロック信号φの立ち下がり順次段にデータをシフトする。

上述したように、ラッチ回路はフリップフロップ回路やシフトレジスタ等の基本回路となっている。

ところで、上述したD型フリップフロップ回路は、コンピュータのレジスタ等に広く使用されているが、コンピュータの動作速度の高速化に伴って、上記D型フリップフロップ回路の高速化も望まれている。特に、パイプライン処理で動作するスーパーコンピュータのステージを形成するレジスタなどに対してはこのような要求が強い。

- 5 -

すなわち、入力データD Iは、クロック信号φで制御されるクロックドインバータ11の入力端Dに供給される。このクロックドインバータ11の出力端には、インバータ12の入力端が接続されるとともに、クロック信号φで制御されるクロックドインバータ13の出力端が接続される。そして、上記インバータ12の出力端と上記クロックドインバータ13の入力端とが接続され、上記インバータ12の出力端Qからラッチ出力D Oを得るようになっている。第21図(b)に、上記第21図(a)の回路のブロック図を示す。

第22図は、上記第21図(a)に示したラッチ回路を2段縦続接続して構成したマスタースレーブ型のD型フリップフロップ回路を示している。第23図は、クロック信号φ、φ̄でそれぞれ制御されるクロックドインバータ14<sub>1</sub>、14<sub>2</sub>と、インバータ15<sub>1</sub>、15<sub>2</sub>とを縦続接続して構成したD型フリップフロップ回路を示しており、上記第22図におけるクロックドインバータ

- 4 -

しかし、上記のような構成では、上述したような高速化に充分答えられない欠点がある。これは、上記ラッチ回路やフリップフロップ回路を構成するクロックドインバータに問題がある。以下、これについて詳述する。クロックドインバータは、第26図に示すように電源V<sub>DD</sub>とV<sub>SS</sub>間に直列接続されたPチャネル形MOSトランジスタQ<sub>1</sub>、Q<sub>2</sub>およびNチャネル形MOSトランジスタQ<sub>3</sub>、Q<sub>4</sub>から構成されている。上記MOSトランジスタQ<sub>1</sub>、Q<sub>2</sub>のゲートにはクロック信号φ、φ̄がそれぞれ供給され、上記MOSトランジスタQ<sub>3</sub>、Q<sub>4</sub>のゲートには、入力データD Iが供給される。そして、上記MOSトランジスタQ<sub>3</sub>とQ<sub>4</sub>との接続点から出力データD Oを得る。

上記のような構成のクロックドインバータを用いて前記第22図や第23図に示すようなD型フリップフロップを構成した場合、入力データD Iをラッチするためには、クロック信号φが"1"レベル(φ̄は"0"レベル)の期間内にク

- 6 -

クロックインバータ11,あるいは14,の出力ノード $N_1, N_2$ がインバータ12,あるいは15,の回路しきい値 $V_M$ にそれぞれ達する必要がある。このため、クロック信号 $\phi, \bar{\phi}$ の周波数を高くするのには限界がある。また、ノード $N_1, N_2$ の電位がたとえ回路しきい値 $V_M$ に達したとしても、各ノード $N_1, N_2$ が充分にプリチャージあるいはディスチャージされないうちにクロック信号 $\phi$ が"0"レベルとなると、次段のゲートを駆動するのに時間がかかり、動作速度の低下の原因となる。さらには、クロックインバータを構成するPチャネル形のMOSトランジスタ $Q_1, Q_2$ のしきい値電圧が製造プロセス上の原因や使用時に於いて設定値よりも低くなった場合(例えば-0.8Vの設定値に対して-1.5V程度に低下)、Pチャネル形MOSトランジスタ $Q_1, Q_2$ のドライブ能力が著しく低下し、出力ノードを短時間で"1"レベルにすることができず、動作速度の低下と信頼性の低下を招く。

-7-

照して説明する。第1図(a)は、ラッチ回路の構成例を、第1図(b)はそのブロック図をそれぞれ示している。クロック信号 $\phi$ で制御されるクロックインバータ(データ転送ゲート)17<sub>1</sub>, 17<sub>2</sub>の入力端にはそれぞれ、逆相のデータ $D\bar{I}, \bar{D}\bar{I}$ が供給される。上記クロックインバータ17<sub>1</sub>, 17<sub>2</sub>の出力端間には、クロック信号 $\bar{\phi}$ で制御されるクロックインバータ(クロックゲート)18<sub>1</sub>の入、出力端がそれぞれ接続されるとともに、クロック信号 $\phi$ で制御されるクロックインバータ(クロックゲート)18<sub>2</sub>の出、入力端がそれぞれ接続される。そして、上記クロックインバータ18<sub>1</sub>, 18<sub>2</sub>の入力端と出力端との接続点 $N_1$ 、出力端と入力端との接続点 $N_2$ からそれぞれラッチ出力信号 $D\bar{O}, \bar{D}\bar{O}$ を得るようにして成る。

上記のような構成において、クロックインバータ18<sub>1</sub>, 18<sub>2</sub>はセンスアンプ回路を構成しており、クロックインバータ17<sub>1</sub>, 17<sub>2</sub>を介して入力されたデータ $D\bar{I}, \bar{D}\bar{I}$ を増幅するよ

-9-

#### 〔発明の目的〕

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、高速動作が可能であり、且つ動作マージンが広く高信頼性を有するラッチ回路およびこのラッチ回路を用いたフリップフロップ回路を提供することである。

#### 〔発明の概要〕

すなわち、この発明においては、上記の目的を達成するために、2つのクロックインバータの入力端と出力端どうしをそれぞれ接続し、これらクロックインバータの入力端と出力端との各接続点にデータ転送ゲートをそれぞれ設け、これらデータ転送ゲートをそれぞれ介して上記クロックインバータに逆相の入力信号を供給してラッチするようにしている。

また、上記ラッチ回路を2段縦続接続してフリップフロップ回路を構成している。

#### 〔発明の実施例〕

以下、この発明の一実施例について図面を参

-8-

うになっている。今、クロック信号 $\phi$ が"1"レベルになったとすると、データ $D\bar{I}, \bar{D}\bar{I}$ はクロックインバータ17<sub>1</sub>, 17<sub>2</sub>をそれぞれ介してノード $N_1, N_2$ に供給される。そして、クロック信号 $\bar{\phi}$ が"1"レベルとなると、ノード $N_1, N_2$ の電位がクロックインバータ18<sub>1</sub>, 18<sub>2</sub>により増幅されてラッチされる。この際、何らかの原因によりクロックインバータ17<sub>1</sub>, 17<sub>2</sub>の回路しきい値 $V_M$ に変動があったとしても、ノード $N_1, N_2$ の電位の大小関係が正しければ、これらのノード $N_1, N_2$ は、クロックインバータ18<sub>1</sub>, 18<sub>2</sub>により直ちに正しい電位に補正される。例えば、各クロックインバータ17<sub>1</sub>, 17<sub>2</sub>, 18<sub>1</sub>, 18<sub>2</sub>の回路しきい値 $V_M$ を2.5Vとし、入力データ $D\bar{I}="0"$ (0V)、 $\bar{D}\bar{I}="1"$ (5V)を与え、クロック信号 $\phi$ が"1"レベルから"0"レベルに変化した時、ノード $N_1, N_2$ の電位がそれぞれ1.5V, 1.0Vとなったとしても、この電位はクロックインバータ18<sub>1</sub>, 18<sub>2</sub>により直ちに5V, 0Vに補正さ

-10-

れ、これらのノード  $N_1, N_2$  に接続されたノードにデータを与えることができる。なお、クロック信号  $\phi$  が "0" レベルの時は、クロックドラインバート 18<sub>1</sub>, 18<sub>2</sub> によりノード  $N_1, N_2$  のデータがスタティックに保持される。

従って、このような構成によれば、クロックドラインバート 17<sub>1</sub>, 17<sub>2</sub> の少なくともいずれか一方が充分にデータ DI あるいは  $\overline{DI}$  を取り込めば、他方が正常に動作せずその出力ノードの電位が次段に接続されるゲートの回路しきい値  $V_M$  に達しなくても正常動作が行なえ、高い信頼性が得られる。また、クロックドラインバート 17<sub>1</sub>, 17<sub>2</sub> の出力が完全に定まらなくても、その大小関係が決まれば良いので、動作速度の高速化も図れる。

第 2 図ないし第 7 図はそれぞれ、上記第 1 図 (a) におけるクロックドラインバート 18<sub>1</sub>, 18<sub>2</sub> から成るセンスアップ回路を回路シュミレーション SPICE を用いてシュミレーションした結果を示している。このシュミレーションでは、第 8

-11-

一方が不完全な値でも充分に動作可能である。

次に、第 9 図に示すように、第 8 図におけるクロックドラインバート 18<sub>1</sub> に代えてインバート 20 を設け、同様な回路シュミレーションを行なった。この結果を第 10 図および第 11 図に示す。第 10 図においては、 $A = 2.5 \text{ V}$  に設定しており、第 11 図では  $A = 2 \text{ V}$  に初期設定した後、クロック信号  $\phi$  を供給している。図示するように、第 9 図に示すような回路構成では、入力信号  $A$  が  $2.5 \text{ V}$  であればこの電位をクロックドラインバート 18<sub>1</sub> とインバート 20 とによって  $5 \text{ V}$  に補正できるが、入力信号  $A$  が  $2 \text{ V}$  では  $0 \text{ V}$  となってしまう補正が不可能である。これに対し、前記第 8 図の回路では、第 6 図および第 7 図に示したように、入力信号  $A$  が  $2 \text{ V}$  および  $1 \text{ V}$  の場合でもこれを  $5 \text{ V}$  に補正してラッチできる。

第 12 図 (a) は、この発明の他の実施例を示している。図において、前記第 1 図と同一構成部には同じ符号を付してその詳細な説明は省略す

-13-

図に示すように回路構成している。このような回路を CMOS 化し、N チャネル形 MOS トランジスタのチャネル幅  $W_n$  とチャネル長  $L_n$  との比を  $W_n/L_n = 1.5/1.2$ 、P チャネル形 MOS トランジスタのチャネル幅  $W_p$  とチャネル長  $L_p$  との比を  $W_p/L_p = 2.2/1.5$  にそれぞれ設定している。第 2 図は、A (第 1 図におけるノード  $N_1$  に対応) を  $5 \text{ V}$ 、B (第 1 図におけるノード  $N_2$  に対応) を  $0 \text{ V}$  に初期設定した後、クロック信号  $\phi$  を与えた場合のシュミレーション結果を示している。同様に、第 3 図は  $A = 4 \text{ V}$ 、 $B = 1 \text{ V}$ 、第 4 図は  $A = 3 \text{ V}$ 、 $B = 2 \text{ V}$ 、第 5 図は  $A = 2.6 \text{ V}$ 、 $B = 2.4 \text{ V}$ 、第 6 図は  $A = 2 \text{ V}$ 、 $B = 1 \text{ V}$ 、および第 7 図は  $A = 1 \text{ V}$ 、 $B = 0 \text{ V}$  にそれぞれ初期設定した後、クロック信号  $\phi$  を与えている。図示するように、たとえ入力された信号 A、B のレベルがインバート 19<sub>1</sub>, 19<sub>2</sub> の回路しきい値電圧  $V_M$  より低くても、クロックドラインバート 18<sub>1</sub>, 18<sub>2</sub> の増幅動作により、最終的には  $A' = 0 \text{ V}$ 、 $B' = 5 \text{ V}$  に設定される。このように、与えられるデータの

-12-

る。すなわち、前記第 1 図におけるクロックドラインバート 18<sub>1</sub> に代えて、クロックドナンドゲート 21 を設けており、このクロックドナンドゲート 21 にセット信号  $\phi$  を供給することにより、セット可能にしている。第 12 図 (b) に上記第 12 図 (a) のブロック図を示す。

このような構成においても基本的には前記第 1 図 (a) の回路と同様な動作を行ない、同じ効果が得られる。

なお、上記各実施例では、データ転送ゲートとしてクロックドラインバート 17<sub>1</sub>, 17<sub>2</sub> を用いたが、第 13 図に示すようにトランスファゲート 22<sub>1</sub>, 22<sub>2</sub> を設けるとともに、ノード  $N_1, N_2$  にインバート 23<sub>1</sub>, 23<sub>2</sub> を設け、これらインバート 23<sub>1</sub>, 23<sub>2</sub> の出力端からラッチ出力  $DO, \overline{DO}$  を得るようにしても良い。

第 14 図は、この発明の他の実施例を示すもので、前記第 1 図 (a) に示したラッチ回路を 2 段縦続接続してマスタースレーブ型の D 型フリップフロップを構成している。クロック信号 (第

-14-

1の制御信号)で制御されるクロックディンバータ17<sub>1</sub>, 17<sub>2</sub>の入力端にはそれぞれ、逆相のデータDI,  $\overline{DI}$ が供給される。上記各クロックディンバータ17<sub>1</sub>, 17<sub>2</sub>の出力端間には、クロック信号 $\phi$ で制御されるクロックディンバータ18<sub>1</sub>の入力端および出力端が接続されるとともに、クロック信号 $\phi$ で制御されるクロックディンバータ18<sub>2</sub>の出力端および入力端がそれぞれ接続される。上記クロックディンバータ18<sub>1</sub>の入力端とクロックディンバータ18<sub>2</sub>の出力端との接続点(ノードN<sub>1</sub>)には、クロック信号(第2の制御信号) $\phi$ で制御されるクロックディンバータ17<sub>3</sub>の入力端が接続される。また、上記クロックディンバータ18<sub>2</sub>の入力端とクロックディンバータ18<sub>1</sub>の出力端との接続点(ノードN<sub>2</sub>)には、クロック信号 $\phi$ で制御されるクロックディンバータ17<sub>4</sub>の入力端が接続される。上記各クロックディンバータ17<sub>1</sub>, 17<sub>2</sub>の出力端間には、クロック信号 $\phi$ で制御されるクロックディンバータ18<sub>3</sub>の

-15-

第15図は、前記第14図に示したフリップフロップ回路に対して、前述した回路シミュレーションSPICEを用いて動作シミュレーションを行なった結果を示している。ここでは、前記第14図の回路をCMOS化し、Nチャネル形MOSトランジスタのチャネル幅W<sub>n</sub>とチャネル長L<sub>n</sub>との比をW<sub>n</sub>/L<sub>n</sub>=15/1.2、Pチャネル形MOSトランジスタのチャネル幅W<sub>p</sub>とチャネル長L<sub>p</sub>との比をW<sub>p</sub>/L<sub>p</sub>=15/1.2にそれぞれ設定しており、クロック信号 $\phi$ は333.33MHz(周期3ns)にしている。図示するよう、クロック信号 $\phi$ が高周波数であっても充分に動作可能であることがわかる。

第16図は、前記第14図に示したフリップフロップ回路のブロック図を示している。このフリップフロップ回路24を、第17図に示すように入力端D,  $\overline{D}$ と出力端Q,  $\overline{Q}$ を各々接続して複数段(2段)縦続接続し、各クロック入力端CKに同じクロック信号 $\phi$ を供給すると、シフトレジスタが構成できる。

-17-

入力端および出力端が接続されるとともに、クロック信号 $\phi$ で制御されるクロックディンバータ18<sub>4</sub>の出力端および入力端がそれぞれ接続される。そして、上記クロックディンバータ18<sub>4</sub>の入力端とクロックディンバータ18<sub>3</sub>の出力端との接続点(ノードN<sub>3</sub>)から出力信号DOを得、上記クロックディンバータ18<sub>3</sub>の入力端とクロックディンバータ18<sub>2</sub>の出力端との接続点(ノードN<sub>2</sub>)から出力信号 $\overline{DO}$ を得るようにして成る。

上記のような構成において、クロックディンバータ17<sub>1</sub>, 17<sub>2</sub>および18<sub>1</sub>, 18<sub>2</sub>から成るラッチ回路と、クロックディンバータ17<sub>3</sub>, 17<sub>4</sub>および18<sub>3</sub>, 18<sub>4</sub>から成るラッチ回路はそれぞれ、前記第1図(a)の回路と全く同じ動作を行なう。従って、各々のラッチ回路は高速動作が可能で且つ高信頼性を有しており、このようなラッチ回路を縦続接続して構成したフリップフロップ回路も高速動作が可能であり、動作マージンが広く高信頼性が得られる。

-16-

なお、第18図に示すように、前記第14図に示したフリップフロップ回路におけるノードN<sub>1</sub>, N<sub>2</sub>とクロックディンバータ17<sub>1</sub>, 17<sub>2</sub>の入力端間、およびノードN<sub>3</sub>, N<sub>4</sub>にそれぞれインバータ25<sub>1</sub>~25<sub>4</sub>を設け、インバータ25<sub>1</sub>, 25<sub>2</sub>から出力信号DO,  $\overline{DO}$ を得るようにしても前記第14図の回路と同様な動作を行ない同じ効果が得られる。

第19図は、この発明の他の実施例を示すもので、前記第18図におけるデータ転送ゲートとしてのクロックディンバータ17<sub>1</sub>~17<sub>4</sub>に代えて、トランスファゲート26<sub>1</sub>~26<sub>4</sub>をそれぞれ設けたものである。この回路は、前記第13図に示したラッチ回路を2段縦続接続したものに相当する。

第20図は、フリップフロップ回路のさらに他の構成例を示している。すなわち、前記各実施例ではクロック信号 $\phi$ ,  $\phi$ を用いたが、第20図に示す回路ではクロック信号 $\phi_1$ ,  $\phi_1$ および $\phi_2$ ,  $\phi_2$ をそれぞれ用いており、回路構成は前

-18-

配第14図と同じになっている。

前記第19図および第20図に示したような構成でも、基本的には前記第14図および第18図の回路と同様な動作を行ない同じ効果が得られるのはもちろんである。

#### 〔発明の効果〕

以上説明したようにこの発明によれば、高速動作が可能であり、且つ動作マージンが広く高信頼性を有するラッチ回路およびこのラッチ回路を用いたフリップフロップ回路が得られる。

#### 4. 図面の簡単な説明

第1図はこの発明の一実施例に係わるラッチ回路を示す図、第2図ないし第7図はそれぞれ上記第1図の回路の動作を説明するために行なったシュミレーション結果を示す図、第8図は上記第2図ないし第7図のシュミレーションに用いた回路を示す図、第9図は別のシュミレーションに用いた回路を示す図、第10図および第11図はそれぞれ上記第9図の回路におけるシュミレーション結果を示す図、第12図およ

-19-

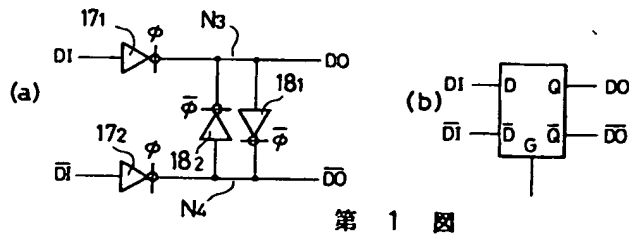
び第13図はそれぞれこの発明の他の実施例に係わるラッチ回路を示す図、第14図は上記第1図のラッチ回路を用いて構成したフリップフロップ回路を示す図、第15図は上記第14図のフリップフロップ回路のシュミレーション結果を示す図、第16図は上記第14図のフリップフロップ回路のブロック図、第17図は上記第16図のフリップフロップ回路を用いて構成したシフトレジスタを示す図、第18図ないし第20図はそれぞれ上記第14図のフリップフロップ回路の他の構成例を示す図、第21図は従来のラッチ回路を示す図、第22図は上記第21図のラッチ回路を用いて構成した従来のフリップフロップ回路を示す図、第23図は従来のフリップフロップ回路の他の構成例を示す図、第24図は上記第22図および第23図のフリップフロップ回路のブロック図、第25図は上記第24図のフリップフロップ回路を用いて構成したシフトレジスタを示す図、第26図はクロックディンバータの構成例を示す回路図であ

-20-

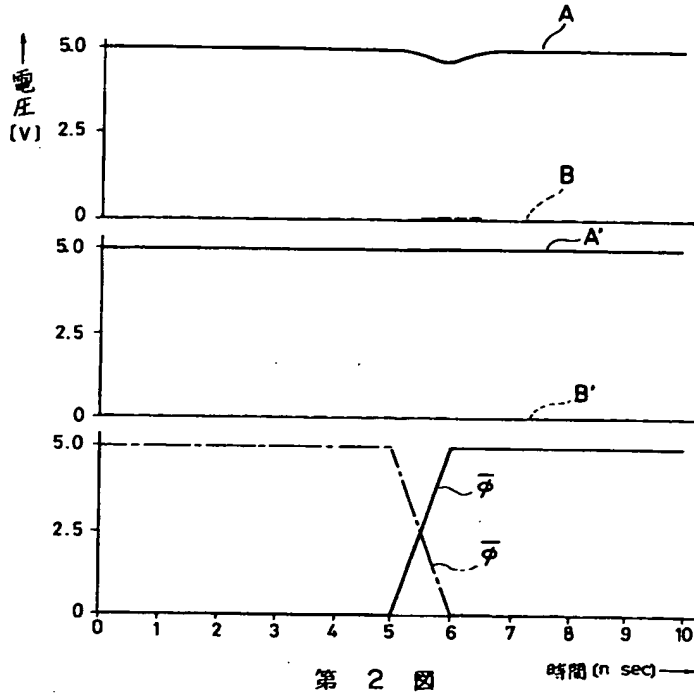
る。

18<sub>1</sub>, 18<sub>2</sub>, …クロックディンバータ(第1, 第2のクロックゲート)、φ…クロック信号、17<sub>1</sub>, 17<sub>2</sub>, …クロックディンバータ(第1, 第2のデータ転送ゲート)、φ…クロック信号(制御信号)、DI,  $\overline{DI}$ …入力データ、DO,  $\overline{DO}$ …出力信号。

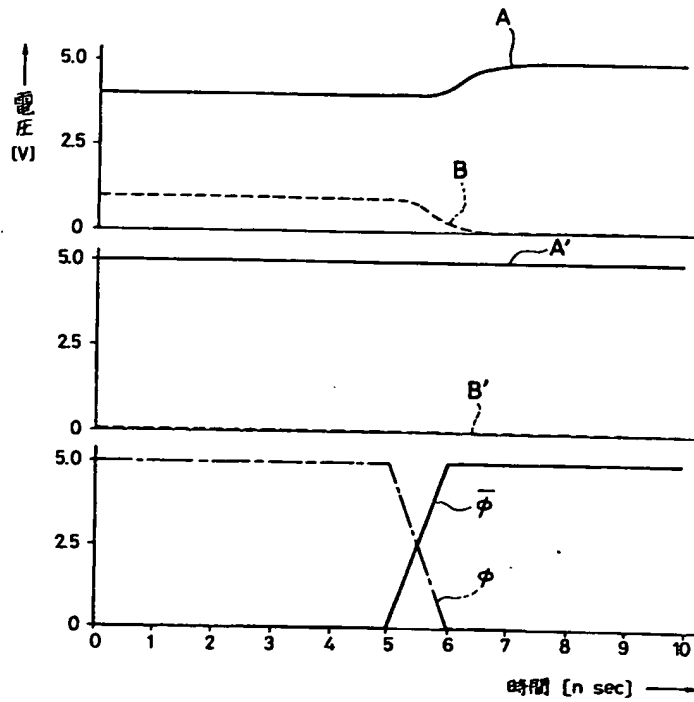
出願人代理人 弁理士 鈴 江 武 彦



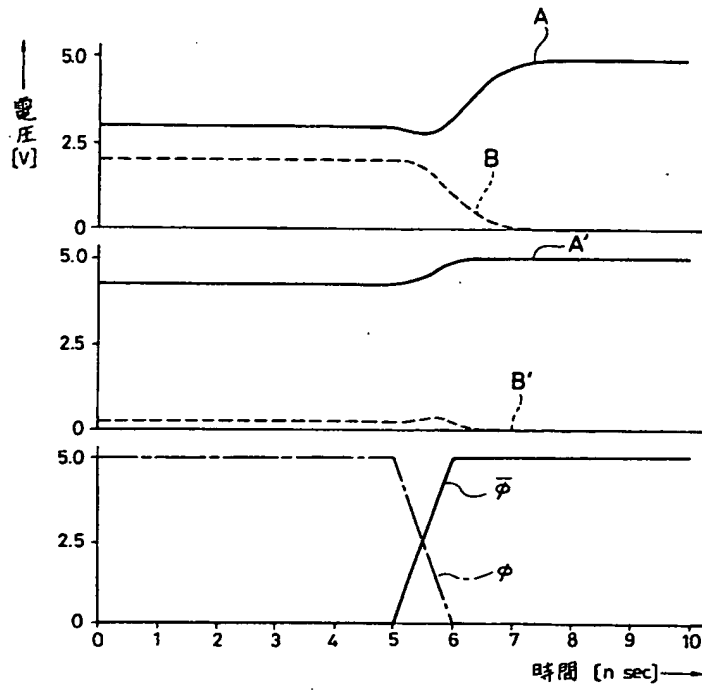
第 1 図



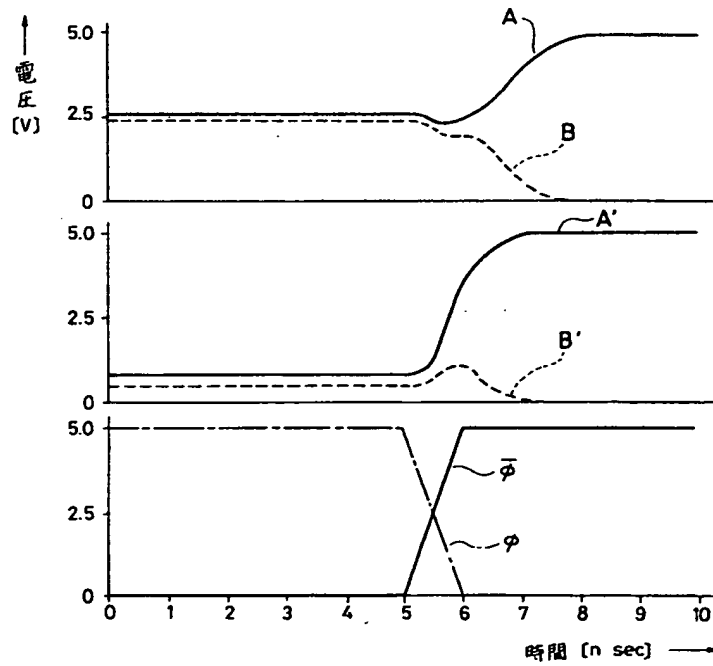
第 2 図



第 3 図

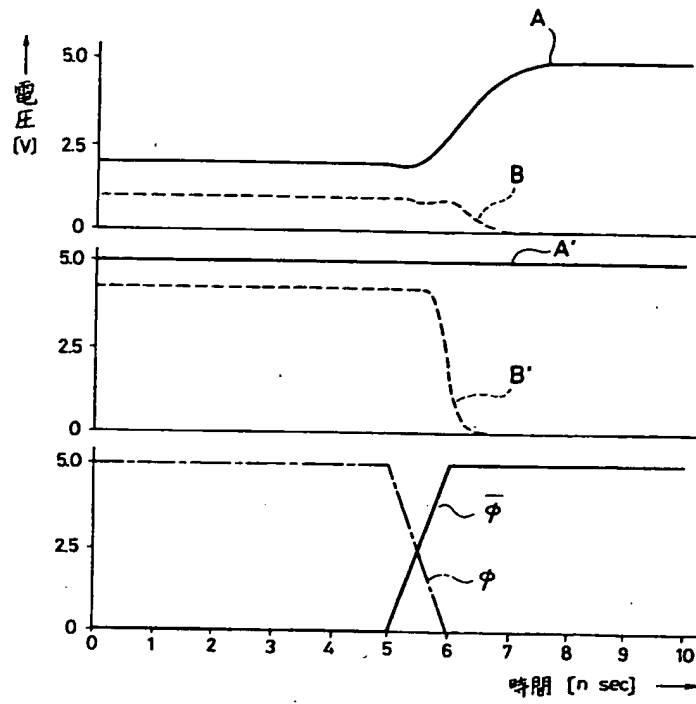


第 4 図

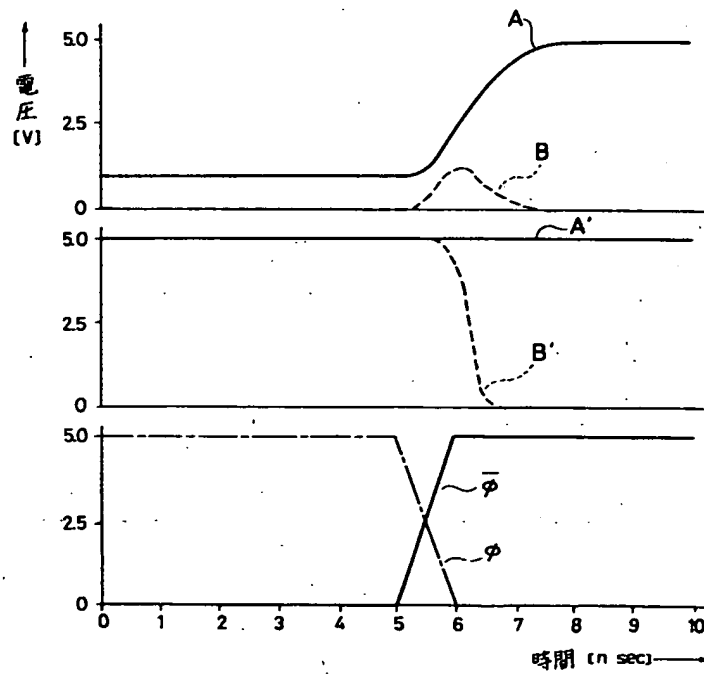


第 5 図

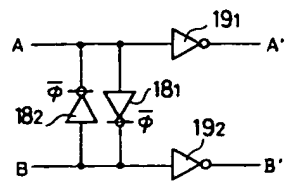




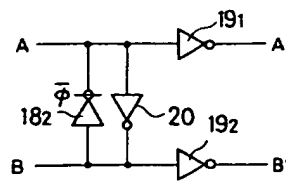
第 6 図



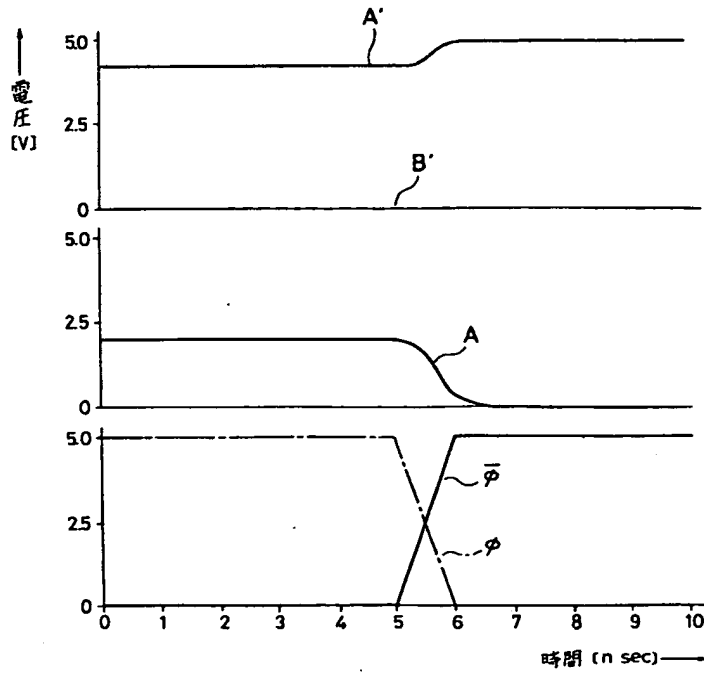
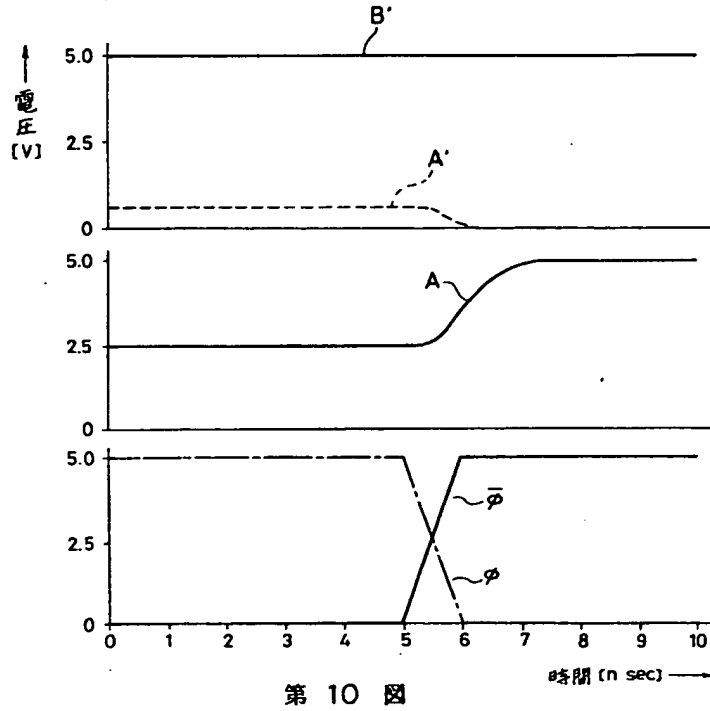
第 7 図

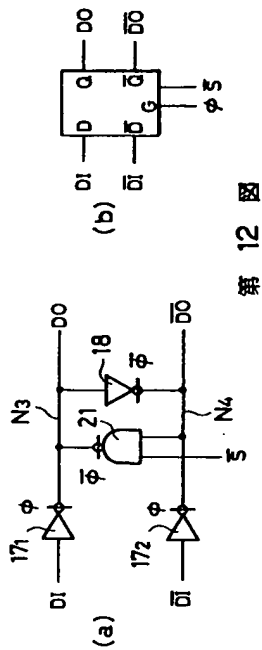


第 8 圖

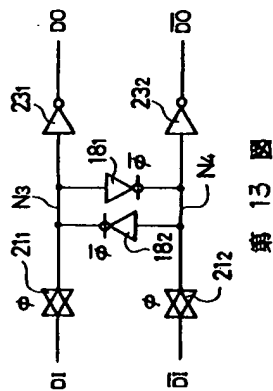


第 9 圖

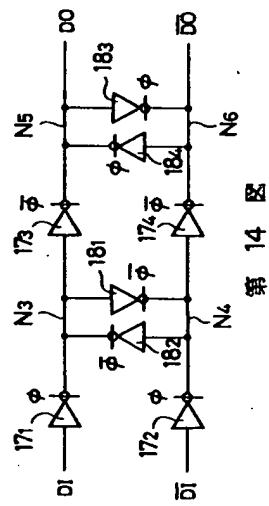




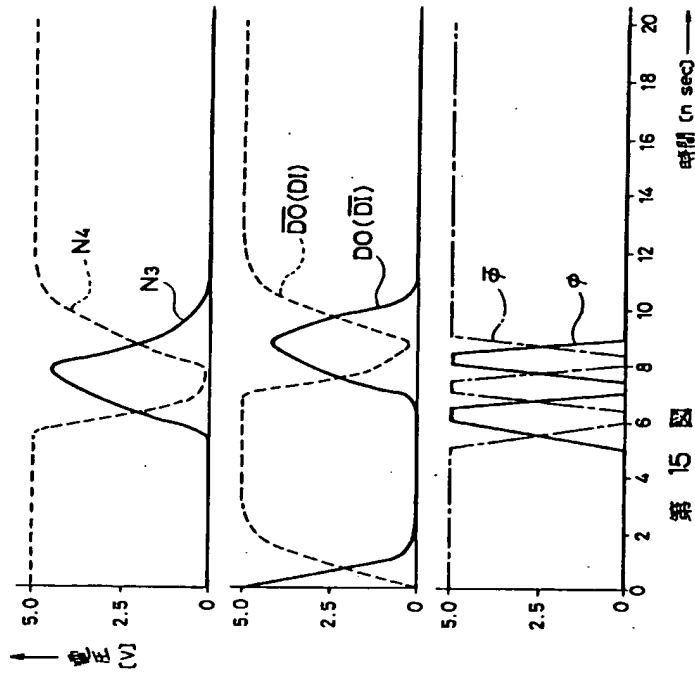
第 12 図



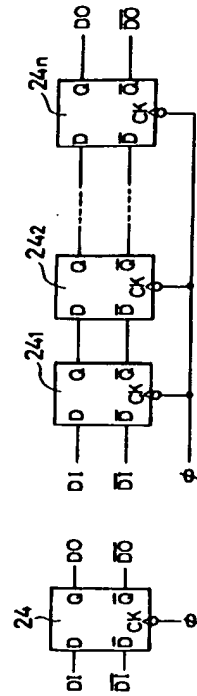
第 13 図



第 14 図

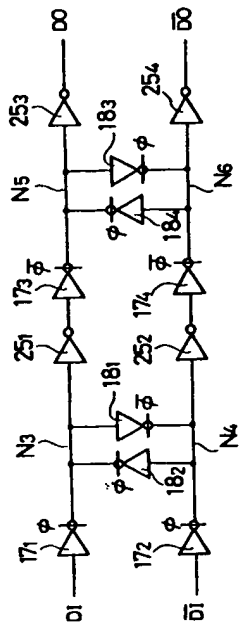


第 15 図

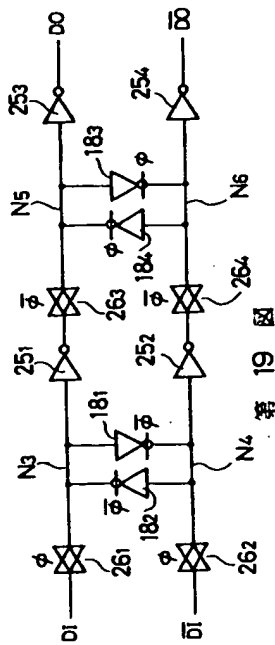


第 16 図

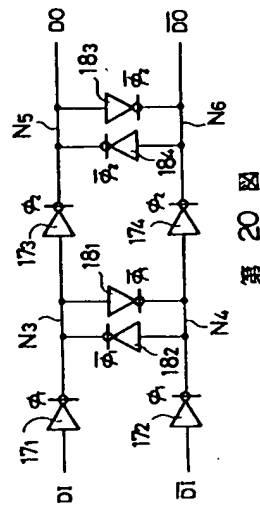
第 17 図



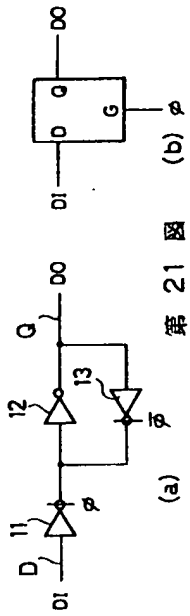
第 18 図



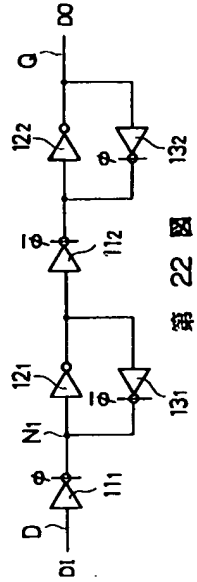
第 19 図



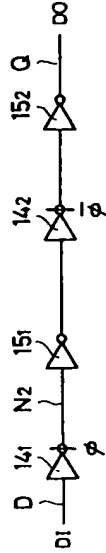
第 20 図



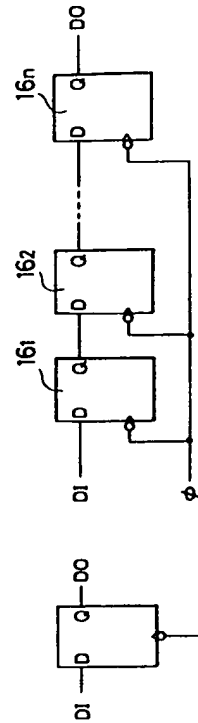
第 21 図



第 22 図

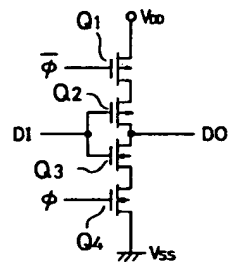


第 23 図



第 24 図

第 25 図



第 26 図

PAT-NO: JP362040816A

DOCUMENT-IDENTIFIER: JP 62040816 A

TITLE: LATCHING CIRCUIT, AND FLIP-FLOP CIRCUIT USING  
THIS LATCHING CIRCUIT

PUBN-DATE: February 21, 1987

INVENTOR-INFORMATION:

NAME

SAKAGAMI, KENJI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

TOSHIBA MICRO COMPUT ENG CORP

COUNTRY

N/A

N/A

APPL-NO: JP60180215

APPL-DATE: August 16, 1985

INT-CL (IPC): H03K003/037

US-CL-CURRENT: 327/215

ABSTRACT:

PURPOSE: To execute a high speed operation by connecting each input terminal and output terminal of two clock gates, respectively, and providing a data transfer gate on each connecting point of the input terminal and the output terminal, respectively.

CONSTITUTION: When a clock signal  $\phi$  becomes '1', a data DI and an opposite phase DI are supplied to nodes N<SB>3</SB>, N<SB>4</SB> through clocked inverters 17<SB>1</SB>, 17<SB>2</SB> (data transfer gates), respectively. When a clock signal of an opposite phase becomes '1', the potential of the nodes N<SB>3</SB>, N<SB>4</SB> are amplified and

latched by  
clocked inverters 18<SB>1</SB>, 18<SB>2</SB> (clocked gates). In  
this case,  
even if a circuit threshold value of the inverters 17<SB>1</SB>,  
17<SB>2</SB>  
is varied, these nodes N<SB>3</SB>, N<SB>4</SB> are corrected to a  
correct  
potential immediately by the inverters 18<SB>1</SB>, 18<SB>2</SB>, if  
a  
magnitude relation of the potential of the nodes N<SB>3</SB>,  
N<SB>4</SB> is  
correct. In this way, a high speed operation can be executed.

COPYRIGHT: (C)1987, JPO&Japio